

TRACCE PROVA CONCORSO:

Concorso pubblico, per titoli ed esami, per la copertura di undici posti di "**Collaboratore Tecnico degli Enti di Ricerca**", Sesto Livello Professionale, con contratto di lavoro a tempo indeterminato e regime di impegno a tempo pieno, secondo i "**profili**" definiti, per ciascuno di essi, nel "**Prospetto**" all'uopo predisposto ed allegato al "**Bando**" per formarne parte integrante (Allegato numero 1), per le esigenze delle "**Sedi di Servizio**" dello "**Istituto Nazionale di Astrofisica**" –

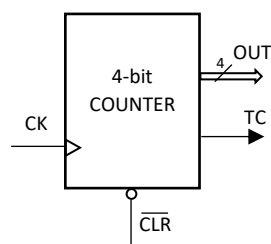
Per La sede di servizio "**Istituto di Astrofisica Spaziale e Fisica Cosmica di Milano**" numero 1 posto – Profilo 3.

Concorso indetto con Determina Direttoriale n. 123 del 1/9/2021 *mediante avviso pubblicato nella Gazzetta Ufficiale della Repubblica Italiana, Quarta Serie Speciale "Concorsi ed Esami", del 4 settembre 2020, numero 69.*

Allegato n. 1 Quesiti Busta n. 1

QUESITO n. 1

Scrivere il codice VHDL che realizzi il seguente circuito:



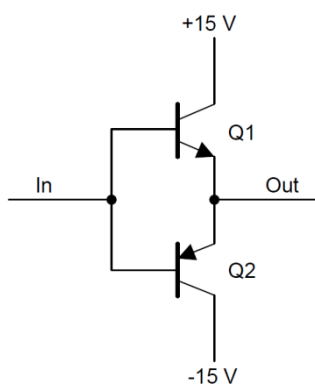
- positive edge-triggered 4-bit counter
- asynchronous active-LOW clear
- active-HIGH Terminal Count

QUESITO n. 2

Disegnare lo schema di un full-adder a 2 bit e illustrarne il funzionamento.

QUESITO n. 3

Il circuito di figura ha in ingresso un segnale sinusoidale di ampiezza 1 V e frequenza 1 kHz. Descrivere il comportamento del circuito, eventuali svantaggi e proporre delle soluzioni circuitali per ovviare a tali svantaggi.



QUESITO n. 4

Descrivere struttura di base e caratteristiche di un tipo di FPGA conosciuto.

QUESITO n. 5

In riferimento ad un computer, spiegare il significato dei termini

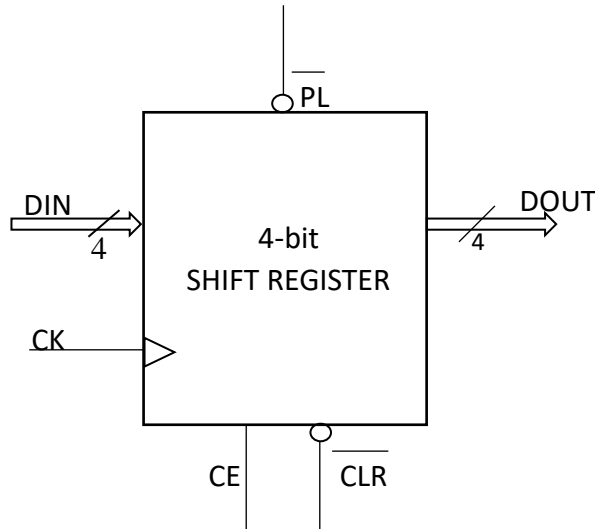
- Firmware
- BIOS
- Sistema Operativo

Allegato n. 2

Quesiti Busta n. 2

QUESITO n. 1

Scrivere il codice VHDL che realizzi il seguente circuito:



- positive edge-triggered 4-bit shift register
- asynchronous active-LOW Clear
- synchronous active-LOW Parallel Load
- asynchronous active-HIGH chip enable

QUESITO n. 2

Utilizzando flip-flop di tipo JK sincroni e porte logiche, disegnare lo schema di un contatore a 4 bit e descriverne il funzionamento.

QUESITO n. 3

Un amplificatore operazionale, alimentato a $\pm 15V$, deve pilotare la bobina di un relè. Disegnare il circuito di comando, utilizzando prima un BJT e poi un MOSFET, descrivendone il diverso comportamento.

QUESITO n. 4

Descrivere le differenze tra FPGA e ASIC e discutere vantaggi e svantaggi del loro utilizzo.

QUESITO n. 5

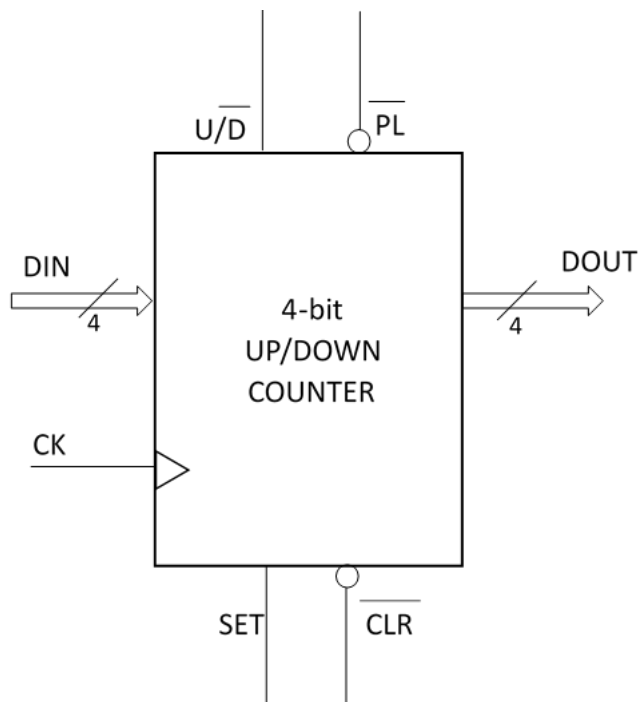
Descrivere alcune possibili caratteristiche che distinguono un Microprocessore da un Microcontrollore

Allegato n. 3




Quesiti Busta n. 3

QUESITO n. 1

Scrivere il codice VHDL che realizzi un 4-bit UP/DOWN COUNTER



il cui funzionamento è descritto dalla seguente tabella:

CK	U/D	SET	CLR	PL	DOUT _{i+1}
	-	-	-	0	DIN
	1	0	1	1	DOUT _{i+1}
	0	0	1	1	DOUT _{i-1}
-	-	0	0	1	0
-	-	1	1	1	1
-	-	1	0	1	DOUT _i

- = don't care

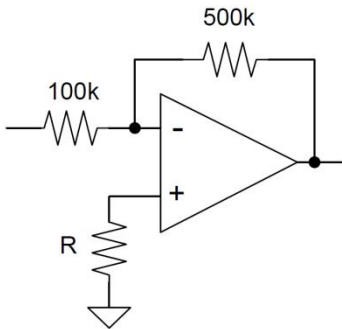
QUESITO n. 2

Data la seguente tabella di verità, disegnare il circuito a porte logiche, possibilmente minimizzato, che realizza la funzione di uscita.

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

QUESITO n. 3

Il circuito in figura utilizza un amplificatore operazionale bipolare. Descrivere se il resistore R è necessario, ed eventualmente che valore deve avere.



QUESITO n. 4

Descrivere il flusso di progetto per un circuito da realizzare in FPGA.

QUESITO n. 5

Spiegare cosa si intende con *rappresentazione in complemento a 2*, evidenziando la sua utilità in un sistema informatico.